

대한민국 특허청

KOREAN INTELLECTUAL PROPERTY OFFICE

별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto
is a true copy from the records of the Korean Intellectual
Property Office.

출원번호 : 10-2002-0053329
Application Number PATENT-2002-0053329

출원년월일 : 2002년 09월 04일
Date of Application SEP 04, 2002

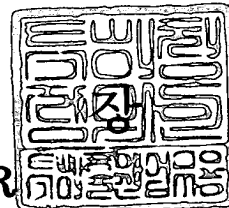
출원인 : 삼성전자 주식회사
Applicant(s) SAMSUNG ELECTRONICS CO., LTD.



2002 년 12 월 18 일

특 허 청

COMMISSIONER



【서지사항】

【서류명】	특허출원서
【권리구분】	특허
【수신처】	특허청장
【참조번호】	0023
【제출일자】	2002.09.04
【국제특허분류】	H01L
【발명의 명칭】	S O I 기판에 형성되는 에스램 디바이스
【발명의 영문명칭】	SRAM device formed on SOI substrate
【출원인】	
【명칭】	삼성전자 주식회사
【출원인코드】	1-1998-104271-3
【대리인】	
【성명】	이영필
【대리인코드】	9-1998-000334-6
【포괄위임등록번호】	1999-009556-9
【대리인】	
【성명】	정상빈
【대리인코드】	9-1998-000541-1
【포괄위임등록번호】	1999-009617-5
【발명자】	
【성명의 국문표기】	오창봉
【성명의 영문표기】	OH, Chang Bong
【주민등록번호】	650420-1674813
【우편번호】	463-500
【주소】	경기도 성남시 분당구 구미동무지개마을신한아파트 303-104
【국적】	KR
【발명자】	
【성명의 국문표기】	김영욱
【성명의 영문표기】	KIM, Young Wug
【주민등록번호】	580827-1009812

【우편번호】 135-281
【주소】 서울특별시 강남구 대치1동 청실아파트 18-202
【국적】 KR
【심사청구】 청구
【취지】 특허법 제42조의 규정에 의한 출원, 특허법 제60조의 규정에 의한 출원심사를 청구합니다. 대리인
 이영필 (인) 대리인
 정상빈 (인)
【수수료】
【기본출원료】 20 면 29,000 원
【가산출원료】 16 면 16,000 원
【우선권주장료】 0 건 0 원
【심사청구료】 25 항 909,000 원
【합계】 954,000 원
【첨부서류】 1. 요약서·명세서(도면)_1통

【요약서】**【요약】**

에스램의 전체 칩 사이즈를 감소시키면서, PMOS 트랜지스터의 이동도 및 동작 특성을 개선시킬 수 있는 에스램 디바이스를 개시한다. 개시된 본 발명의 에스램 디바이스는 제 1 및 제 2 액티브 영역을 포함하는 SOI 기판에 형성된다. 상기 SOI 기판의 제 1 액티브 영역에 제 1 액세스용 NMOS 트랜지스터, 및 제 1 드라이브용 NMOS 트랜지스터 및 제 1 부하용 PMOS 트랜지스터로 구성되는 제 1 인버터가 형성된다. 또한, 상기 SOI 기판의 제 2 액티브 영역에 제 2 액세스용 NMOS 트랜지스터, 및 제 2 드라이브용 NMOS 트랜지스터 및 제 2 부하용 PMOS 트랜지스터로 구성되는 제 2 인버터가 형성된다. 이때, 상기 제 1 및 제 2 부하용 PMOS 트랜지스터의 채널에서 캐리어의 이동 방향은 [110] 실리콘 결정 성장 방향을 따라 연장되고, 상기 하나의 액티브 영역에 형성되는 액세스용 NMOS 트랜지스터의 드레인(또는 소오스)과, 드라이브용 NMOS 트랜지스터의 드레인 및 부하용 PMOS 트랜지스터의 드레인은 공통으로 콘택된다. 이와같이 SOI 기판상에 에스램이 형성됨에 따라 칩 사이즈를 감축시킬 수 있으며, PMOS 트랜지스터의 채널에서 캐리어의 이동 방향이 [110] 실리콘 격자 방향을 따라 연장되므로 PMOS 트랜지스터의 이동도 특성이 개선된다.

【대표도】

도 3

【색인어】

에스램, SOI, [110] 실리콘 결정 방향

【명세서】

【발명의 명칭】

S O I 기판에 형성되는 에스램 디바이스{SRAM device formed on SOI substrate}

【도면의 간단한 설명】

도 1은 일반적인 풀 씨모스 에스램(Full CMOS SRAM) 디바이스의 회로도이다.

도 2는 종래의 벌크 실리콘 기판상에 풀 씨모스 에스램 디바이스를 집적시켰을 때의 평면도이다.

도 3은 본 발명의 일실시예에 따른 SOI 기판상에 풀 씨모스 에스램 디바이스를 집적시켰을 때의 평면도이다.

도 4는 도 3의 풀 씨모스 에스램 디바이스의 액티브 영역만을 나타낸 평면도이다.

도 5는 도 3의 완전 CMOS 에스램 디바이스의 액티브 영역, 게이트 전극 및 워드 라인만을 나타낸 평면도이다.

도 6은 도 3의 VI-VI'선을 따라 절단하여 나타낸 에스램 디바이스의 단면도이다.

도 7은 본 발명의 다른 실시예에 따른 SOI 기판상에 풀 씨모스 에스램 디바이스를 집적시켰을 때의 평면도이다.

<도면의 주요 부분에 대한 부호의 설명>

100 : SOI 기판

120, 130 : 제 1 및 제 2 액티브 영역

125, 127 : 돌출부

140, 150 : 제 1 및 제 2 게이트 전극

【발명의 상세한 설명】**【발명의 목적】****【발명이 속하는 기술분야 및 그 분야의 종래기술】**

- <11> 본 발명은 에스램(SRAM) 디바이스에 관한 것으로, 보다 구체적으로는 SOI(silicon on insulator)기판에 형성되는 6개의 트랜지스터를 갖는 풀 씨모스 에스램 디바이스에 관한 것이다.
- <12> 반도체 메모리 디바이스는 기억방식에 따라 디램(DRAM; Dynamic Random Access Memory), 불휘발성 메모리(Non volatile memory) 및 에스램(SRAM; Static Random Access Memory)으로 분류된다. 에스램은 빠른 스피드 특성, 저전력 소모 특성 및 단순한 방식으로 동작된다는 장점을 갖는다. 아울러, 에스램은 디램과 달리 주기적으로 저장된 정보를 리프레쉬(refresh)할 필요가 없기 때문에, 설계가 용이하다.
- <13> 일반적인 에스램 셀은 2개의 드라이브 트랜지스터, 2개의 부하 소자 및 2개의 액세스 트랜지스터로 구성된다. 이러한 에스램은 부하 소자의 종류에 따라, 풀 CMOS와, 고부하 저항(HLR; High Load Resistor)형과, 박막 트랜지스터(TFT; Thin Film Transistor)형의 3가지 구조로 분류된다. 풀 CMOS형은 부하 소자로서 PMOS 트랜지스터를 사용하고, HLR형은 부하 소자로서 고저항을 사용하며, TFT형은 부하 소자로서 폴리실리콘 TFT를 사용한다.
- <14> 여기서, 도 1을 참조하여 일반적인 풀 씨모스 에스램 회로를 설명하기로 한다. 완전 CMOS 에스램은 도 1에 도시된 바와 같이, 래치(Latch)를 이루는 제 1 및 제 2

인버터(INV1, INV2), 및 제 1 및 제 2 인버터(INV1, INV2)를 선택적으로 구동시키는 역세스 트랜지스터(TA1, TA2)로 구성된다.

<15> 제 1 인버터(INV1)는 제 1 PMOS 트랜지스터(TP1) 및 제 1 NMOS 트랜지스터(TN1)로 구성되고, 제 2 인버터(INV2)는 제 2 PMOS 트랜지스터(TP2) 및 제 2 NMOS 트랜지스터(TN2)로 구성된다. 각각의 PMOS 트랜지스터(TP1, TP2)의 소오스는 Vdd 단자와 연결되고, 드레인은 해당 인버터를 구성하는 NMOS 트랜지스터(TN1, TN2)의 드레인과 연결된다. 또한, 각각의 NMOS 트랜지스터(TN1, TN2)의 소오스는 Vss 단자와 연결되며, 드레인은 상술한 바와 같이 PMOS 트랜지스터(TP1, TP2)의 드레인과 공통 접속된다. 아울러, 제 1 PMOS 트랜지스터(TP1)의 게이트와 제 1 NMOS 트랜지스터(TN1)의 게이트는 서로 연결되어 있으며, 이들 게이트는 제 2 인버터(INV2)의 출력(S2), 즉 제 2 PMOS 트랜지스터 및 제 2 NMOS 트랜지스터의 공통 드레인과 연결된다. 또한, 제 2 PMOS 트랜지스터(TP2)의 게이트와 제 2 NMOS 트랜지스터(TN2)의 게이트 역시 서로 연결되어 있으며, 이들 게이트들은 제 1 인버터(INV1)의 출력(S1), 즉, 제 1 PMOS 트랜지스터 및 제 1 NMOS 트랜지스터의 공통 드레인과 연결된다.

<16> 제 1 역세스 트랜지스터(TA1)의 게이트는 워드 라인(WL)과 연결되고, 소오스는 비트 라인(BL)과 연결되며, 드레인은 제 1 인버터(INV1)의 출력단(S1)과 연결된다. 제 2 역세스 트랜지스터(TA2)의 게이트 역시 워드 라인(WL)과 연결되고, 소오스는 비트 라인 바(bit line bar: DBL)와 연결되고, 드레인은 제 2 인버터(INV2)의 출력단(S2)과 연결된다. 여기서, 비트 라인 바(DBL)는 반전된 비트 라인(BL) 신호를 갖는다.

<17> 이와같은 풀 씨모스 에스램 디바이스는 다음과 같이 동작된다. 워드 라인(WL)의 전위가 하이(high)이면, 제 1 및 제 2 역세스 트랜지스터(TA1, TA2)가 턴온(turn-on)되어,

비트 라인(BL,DBL)의 신호가 각각 제 1 및 제 2 인버터(INV1,INV2)에 전달되어, 데이터를 기입 또는 독출 동작이 행해진다.

<18> 이러한 구성을 갖는 일반적인 CMOS 에스램은 벌크(bulk) 실리콘 기판상에 도 2의 형태로 집적된다. 도 2의 에스램의 액티브 영역, 게이트 전극(워드 라인) 및 콘택 부분만을 도시한다.

<19> 도 2에 도시된 바와 같이, 실리콘 반도체 기판(10)에 NMOS 트랜지스터용 액티브 영역(30)과 PMOS 트랜지스터용 액티브 영역(50)이 한정되도록 소자 분리막(15)이 형성된다. NMOS 트랜지스터용 액티브 영역(30)은 P웰이 형성되어 있을 수 있고, 예를 들어 "U"자형 형태로 형성된다. 여기서, "U"자형의 양측벽 부분을 이하 수직 부분이라고 명하고, 양측 수직 부분을 연결하는 부분을 수평 부분이라고 명하기로 한다. PMOS 트랜지스터용 액티브 영역(50)은 N웰이 형성되어 있을 수 있고, 예를 들어 "-"자형 형태로 형성될 수 있다.

<20> NMOS 트랜지스터용 액티브 영역(30)의 소정 부분, 예를 들어 양측 수직 부분과 실질적으로 직교하도록 워드 라인(WL)이 연장된다. 한편, NMOS 트랜지스터용 액티브 영역(30)의 수평 부분 및 PMOS 트랜지스터용 액티브 영역(60)의 소정 부분에 제 1 및 제 2 게이트 전극(60,65)이 배치되는데, 제 1 및 제 2 게이트 전극(60,65)은 워드 라인(WL)과 수직을 이룰 수 있다. 제 1 게이트 전극(60)은 제 1 NMOS 및 제 1 PMOS 트랜지스터(TN1,TP1)의 게이트 전극이 되고, 제 2 게이트 전극(65)은 제 2 NMOS 및 제 2 PMOS 트랜지스터(TN2,TP2)의 게이트 전극이 된다.

<21> 워드 라인(WL) 및 게이트 전극(60,65) 양측의 NMOS 트랜지스터용 액티브 영역(30)에는 N형의 불순물이 주입되어, 액세스 트랜지스터(TA1,TA2) 및 제 1 및 제 2 NMOS 트랜

지스터(TN1,TN2)가 형성된다. 제 1 및 제 2 게이트 전극(60,65) 양측의 PMOS 트랜지스터용 액티브 영역(50)에 P형의 불순물이 주입되어, 제 1 및 제 2 PMOS 트랜지스터(TP1,TP2)가 형성된다.

<22> 여기서, 도면의 미설명 부호 BLC는 제 1 액세스 트랜지스터(TA1)의 소오스와 비트 라인(BL)을 콘택시키기 위한 콘택 영역이고, DBLC는 제 2 액세스 트랜지스터(TA2)의 소오스와 비트 라인 바(DBL)를 콘택시키기 위한 콘택 영역이다. S1,S1',S2,S2'는 각각의 인버터(INV1,INV2)의 출력 부분을 나타내며, 비록 S1과 S1' 그리고 S2와 S2'가 이격되어 있기는 하나 이후 배선 형성시 각각 연결될 것이다. 아울러, Vdd는 이후 Vdd 라인(도시되지 않음)과 콘택될 영역이고, Vss는 이후 Vss 라인(도시되지 않음)과 콘택될 영역이고, GC는 이후 게이트 전극과 게이트 전원 라인(도시되지 않음)이 콘택될 영역이다.

<23> 그러나, 상기한 풀 씨모스 에스램 디바이스는 벌크 실리콘 기판상에 형성됨에 따라, 다음과 같은 문제점이 있다.

<24> 즉, 도 2에서와 같이, 풀 씨모스 에스램 소자는 PMOS 트랜지스터와 NMOS 트랜지스터를 동시에 구비하여야 하므로, NMOS 트랜지스터용 액티브 영역(P웰) 및 PMOS 트랜지스터용 액티브 영역(N웰)이 각각 필요하다. 그러나, 공지된 바와 같이, N웰 및 P웰이 근접하게 배치되는 경우 래치업(latch-up)과 같은 기생 바이폴라 트랜지스터가 발생할 수 있어, 일정 거리(A) 즉, 래치업이 발생되지 않을 정도의 거리만큼 P웰과 N웰을 격리시켜야 한다. 이와같은 P웰과 N웰간의 거리(A)는 에스램 디바이스의 칩 사이즈를 증대시키게 된다.

<25> 더욱이, PMOS 트랜지스터는 NMOS 트랜지스터의 이동도 보다 훨씬 낮은 이동도를 가지므로, NMOS 트랜지스터보다 상대적으로 큰 사이즈로 형성되어야만 안정적인 동작을 한다. 그러므로, PMOS를 갖지 않는 다른 방식의 에스램보다 상대적으로 넓은 면적을 차지하게 된다.

【발명이 이루고자 하는 기술적 과제】

<26> 따라서, 본 발명의 이루고자 하는 기술적 과제는 칩 사이즈를 감소시킬 수 있는 에스램 디바이스를 제공하는 것이다.

<27> 또한, 본 발명이 이루고자 하는 다른 기술적 과제는, PMOS 트랜지스터의 이동도를 향상시킬 수 있는 에스램 디바이스를 제공하는 것이다.

【발명의 구성 및 작용】

<28> 본 발명의 목적과 더불어 그의 다른 목적 및 신규한 특징은, 본 명세서의 기재 및 첨부 도면에 의하여 명료해질 것이다. 본원에서 개시된 발명중, 대표적 특징의 개요를 간단하게 설명하면 다음과 같다.

<29> 상기한 본 발명의 기술적 과제를 달성하기 위한 에스램 디바이스는, 제 1 및 제 2 액세스용 NMOS 트랜지스터와, 제 1 및 제 2 액세스용 NMOS 트랜지스터의 동작에 따라 선택적으로 턴온되는 제 1 및 제 2 인버터를 구성하는 제 1 및 제 2 드라이브용 NMOS 트랜지스터 및 제 1 및 제 2 부하용 PMOS 트랜지스터로 구성되는 에스램 디바이스로서, 상기 각각의 트랜지스터들은 SOI 기판상의 액티브 영역에 형성되고, 상기 PMOS 트랜지스터가 형성되는 액티브 영역은 상기 NMOS 트랜지스터가 형성되는 액티브 영역과 소정 각도를 이루는 방향으로 신장된다.

<30> 또한, 본 발명의 다른 실시예에 따른 에스램 디바이스는, 반도체 기판, 상기 반도체 기판상에 형성되며, 제 1 액세스용 NMOS 트랜지스터, 및 제 1 드라이브용 NMOS 트랜지스터 및 제 1 부하용 PMOS 트랜지스터로 구성되는 제 1 인버터가 형성되는 제 1 액티브 영역과, 상기 반도체 기판상에 형성되며, 제 2 액세스용 NMOS 트랜지스터, 및 제 2 드라이브용 NMOS 트랜지스터 및 제 2 부하용 PMOS 트랜지스터로 구성되는 제 2 인버터가 형성되는 제 2 액티브 영역을 포함하며, 상기 PMOS 트랜지스터가 형성되는 각각의 액티브 영역은 각각의 NMOS 트랜지스터가 형성되는 액티브 영역에 대하여 소정 각도를 이루는 방향으로 신장된다.

<31> 또한, 본 발명의 또 다른 실시예에 따른 에스램 디바이스는, 제 1 및 제 2 액세스용 NMOS 트랜지스터와, 제 1 및 제 2 액세스용 NMOS 트랜지스터의 동작에 따라 선택적으로 턴온되는 제 1 및 제 2 인버터를 구성하는 제 1 및 제 2 드라이브용 NMOS 트랜지스터 및 제 1 및 제 2 부하용 PMOS 트랜지스터로 구성되는 에스램 디바이스로서, SOI 기판, 상기 SOI 기판 상에 형성되며, 제 1 액세스용 NMOS 트랜지스터, 및 제 1 드라이브용 NMOS 트랜지스터 및 제 1 부하용 PMOS 트랜지스터로 구성되는 제 1 인버터가 형성되는 제 1 액티브 영역, 및 상기 SOI 기판 상에 형성되며, 상기 제 2 액세스용 NMOS 트랜지스터, 및 제 2 드라이브용 NMOS 트랜지스터 및 제 2 부하용 PMOS 트랜지스터로 구성되는 제 2 인버터가 형성되는 제 2 액티브 영역을 포함하고, 상기 PMOS 트랜지스터가 형성되는 액티브 영역은 상기 NMOS 트랜지스터가 형성되는 액티브 영역과 소정의 각도를 이루는 방향으로 신장된다.

<32> 또한, 본 발명의 다른 실시예에 따른 에스램 디바이스는, 제 1 및 제 2 액세스용 NMOS 트랜지스터와, 제 1 및 제 2 액세스용 NMOS 트랜지스터의 동작에 따라 선택적으로

턴온되는 제 1 및 제 2 인버터를 구성하는 제 1 및 제 2 드라이브용 NMOS 트랜지스터 및 제 1 및 제 2 부하용 PMOS 트랜지스터로 구성되는 에스램 디바이스로서, SOI 기판, 상기 SOI 기판 상에 형성되며, 제 1 액세스용 NMOS 트랜지스터, 및 제 1 드라이브용 NMOS 트랜지스터 및 제 1 부하용 PMOS 트랜지스터로 구성되는 제 1 인버터가 형성되는 제 1 액티브 영역, 상기 SOI 기판 상에 형성되며, 상기 제 2 액세스용 NMOS 트랜지스터, 및 제 2 드라이브용 NMOS 트랜지스터 및 제 2 부하용 PMOS 트랜지스터로 구성되는 제 2 인버터가 형성되는 제 2 액티브 영역을 포함하고, 상기 PMOS 트랜지스터가 형성되는 액티브 영역은 상기 NMOS 트랜지스터가 형성되는 액티브 영역과 소정의 각도를 이루는 방향으로 신장되며, 상기 제 1 및/또는 제 2 액티브 영역에 형성되는 액세스용 NMOS 트랜지스터의 드레인(또는 소오스)과 드라이브용 NMOS 트랜지스터의 드레인 및 부하용 PMOS 트랜지스터의 드레인은 공통 콘택을 통해서 전기적으로 연결되고, 상기 제 2 액티브 영역에 형성되는 액세스용 NMOS 트랜지스터의 드레인(또는 소오스)과 드라이브용 NMOS 트랜지스터의 드레인 및 부하용 PMOS 트랜지스터의 드레인은 공통 콘택을 통해서 전기적으로 연결된다. 여기서, 상기 소정 각도는 30° 내지 60° , 바람직하게는 45° 일 수 있다.

<33> 또한, 본 발명의 실시예에 따른 에스램 디바이스는, 제 1 및 제 2 액세스용 NMOS 트랜지스터와, 제 1 및 제 2 액세스용 NMOS 트랜지스터의 동작에 따라 선택적으로 턴온되는 제 1 및 제 2 인버터를 구성하는 제 1 및 제 2 드라이브용 NMOS 트랜지스터 및 제 1 및 제 2 부하용 PMOS 트랜지스터로 구성되는 에스램 디바이스로서, SOI 기판, 상기 SOI 기판 상에 형성되며, 제 1 액세스용 NMOS 트랜지스터, 및 제 1 드라이브용 NMOS 트랜지스터 및 제 1 부하용 PMOS 트랜지스터로 구성되는 제 1 인버터가 형성되는 제 1 액티브 영역, 및 상기 SOI 기판 상에 형성되며, 상기 제 2 액세스용 NMOS 트랜지스터, 및

제 2 드라이브용 NMOS 트랜지스터 및 제 2 부하용 PMOS 트랜지스터로 구성되는 제 2 인버터가 형성되는 제 2 액티브 영역을 포함하고, 상기 PMOS 트랜지스터가 형성되는 액티브 영역은 상기 NMOS 트랜지스터가 형성되는 액티브 영역과 45°를 이루고, 상기 제 1 및/또는 제 2 액티브 영역에 형성되는 역세스용 NMOS 트랜지스터의 드레인(또는 소오스)과 드라이브용 NMOS 트랜지스터의 드레인 및 부하용 PMOS 트랜지스터의 드레인은 공통 콘택을 통해서 전기적으로 연결되고, 상기 제 2 액티브 영역에 형성되는 역세스용 NMOS 트랜지스터의 드레인(또는 소오스)과 드라이브용 NMOS 트랜지스터의 드레인 및 부하용 PMOS 트랜지스터의 드레인은 공통 콘택을 통해서 전기적으로 연결되는 것을 특징으로 한다.

<34> 또한, 본 발명의 다른 실시예에 따른 에스램 디바이스는, 제 1 및 제 2 역세스용 NMOS 트랜지스터와, 제 1 및 제 2 역세스용 NMOS 트랜지스터의 동작에 따라 선택적으로 턴온되는 제 1 및 제 2 인버터를 구성하는 제 1 및 제 2 드라이브용 NMOS 트랜지스터 및 제 1 및 제 2 부하용 PMOS 트랜지스터로 구성되는 에스램 디바이스로서, 상기 각각의 트랜지스터들은 SOI 기판상의 액티브 영역에 형성되고, 상기 PMOS 트랜지스터가 형성되는 액티브 영역은 상기 NMOS 트랜지스터가 형성되는 액티브 영역과 소정 각도를 이루는 방향을 향해 계단 형태로 신장된다.

<35> 상기 PMOS 트랜지스터가 형성되는 액티브 영역은 상기 드라이브용 NMOS 트랜지스터가 형성되는 액티브 영역과 상기 역세스용 NMOS 트랜지스터가 형성되는 액티브 영역이 만나는 모서리 주변으로 부터 신장된다. 아울러, 상기 PMOS 트랜지스터가 형성되는 액티브 영역은 상기 드라이브용 NMOS 트랜지스터가 형성되는 액티브 영역과 실질적으로 평행한 방향으로 신장되는 것을 특징으로 한다.

<36> (실시예)

<37> 이하 첨부한 도면에 의거하여 본 발명의 바람직한 실시예를 설명하도록 한다. 그러나, 본 발명의 실시예들은 여러 가지 다른 형태로 변형될 수 있으며, 본 발명의 범위가 아래에서 상술하는 실시예들로 인해 한정되어지는 것으로 해석되어져서는 안 된다. 본 발명의 실시예들은 당업계에서 평균적인 지식을 가진 자에게 본 발명을 보다 완전하게 설명하기 위해서 제공되어지는 것이다. 따라서, 도면에서의 요소의 형상 등은 보다 명확한 설명을 강조하기 위해서 과장되어진 것이며, 도면상에서 동일한 부호로 표시된 요소는 동일한 요소를 의미한다. 또한, 어떤 층이 다른 층 또는 반도체 기판의 "상"에 있다고 기재되는 경우에, 어떤 층은 상기 다른 층 또는 반도체 기판에 직접 접촉하여 존재할 수 있고, 또는, 그 사이에 제 3의 층이 개재되어질 수 있다.

<38> 첨부한 도면 도 3은 본 발명의 일실시예에 따른 SOI 기판상에 형성되는 풀 씨모스 에스램 디바이스의 평면도이고, 도 4는 도 3의 풀 씨모스 에스램 디바이스의 액티브 영역만을 나타낸 평면도이며, 도 5는 도 3의 풀 씨모스 에스램 디바이스의 액티브 영역, 게이트 전극 및 워드 라인을 나타낸 평면도이다. 도 6은 도 3의 VI-VI'선을 따라 절단하여 나타낸 평면도이다. 여기서, 도 3은 상기 도 1의 풀 씨모스 에스램의 하나의 셀을 기판상에 집적시킨 평면도를 나타낸다.

<39> 도 3, 도 4, 도 5 및 도 6을 참조하여 본 발명의 실시예를 상세히 설명하면, SOI 기판(100)이 준비된다. SOI 기판(100)은 공지된 바와 같이, 핸들링 웨이퍼(103), 매몰 절연막(105) 및 실리콘층(107)으로 구성된다. 이러한 SOI 기판(100)은 두 개의 웨이퍼를 부착시키는 방법과, 산소 이온을 주입하여 실리콘 기판내에 매몰 절연막을 형성하는 방

법 등으로 형성될 수 있다. 이러한 SOI 기판(100)의 채용으로 소자간의 완전한 분리를 달성할 수 있으며, 이후 형성될 소자 분리막의 내압을 개선할 수 있다.

<40> SOI 기판(100)의 실리콘층(107)의 소정 부분에 소자 분리막[110]이 형성되어, 제 1 액티브 영역(120) 및 제 2 액티브 영역(130)이 한정된다. 제 1 액티브 영역(120)은 제 1 액세스 트랜지스터(TA1)와, 제 1 인버터(INV1)를 구성하는 제 1 PMOS 트랜지스터(TP1) 및 제 1 NMOS 트랜지스터(TN1)가 형성될 영역이다. 제 2 액티브 영역(130)은 제 2 액세스 트랜지스터(TA2)와, 제 2 인버터(INV2)를 구성하는 제 2 PMOS 트랜지스터(TP2) 및 제 2 NMOS 트랜지스터(TN2)가 형성될 영역이다. 제 1 및 제 2 액티브 영역(120,130)은 도 4에 도시된 바와 같이 동일한 형상을 갖되, 180°회전된 형태로 배치될 수 있다. 아울러, 제 1 및 제 2 액티브 영역(120,130) 사이의 간격(B)은 반도체 소자들간의 전기적 특성을 확보할 수 있는 최단 거리(액티브 아이솔레이션 디자인 룰:active isolation design rule)로 할수 있고, 종래의 NMOS 트랜지스터용 액티브 영역과 PMOS 트랜지스터용 액티브 영역간의 간격(A: 래치업을 방지하기 위한 디자인 룰)보다는 충분히 작다.

<41> 제 1 및 제 2 액티브 영역(120,130)은 사선 형태의 돌출부(125,135)를 각각 포함한다. 돌출부(125,135)는 이후 PMOS 트랜지스터(TP1,TP2)가 형성될 영역으로, 사선 방향, 예를들어 이후 형성될 워드 라인과 30° 내지 60° 정도를 이루도록 배치된다. 더욱 바람직하게는, 돌출부와 워드 라인이 이루는 각도가 45°가 되도록 하여, 돌출부(125,135)는 [110] 실리콘 결정 방향과 평행하게 연장된다. 이는 PMOS 트랜지스터(TP1,TP2)의 주 캐리어인 홀이 [110] 실리콘 결정 방향으로 이동할 때, 유효 이동도(effective mobility)가 증대되기 때문이다. 본 실시예에서의 제 1 및 제 2 액티브 영역(120,130)은 예를 들어 "L"자형(180°반전된 L자형)의 바디부(121,131)와, 바디부(121,131)의 모서리 주변 부

분으로부터 사선 방향 즉, [110] 실리콘 결정 방향으로 연장된 돌출부(125,135)를 포함한다.

<42> 다음, 도 3 및 도 5를 참조하여, 제 1, 제 2 액티브 영역(120,130) 및 소자 분리막[110]의 소정 부분에 제 1, 제 2 게이트 전극(140,150) 및 워드 라인(WL)이 배치된다. 제 1, 제 2 게이트 전극(140,150) 및 워드 라인(WL)은 제 1 및 제 2 액티브 영역(120,130)의 소정 부분을 지나며, 제 1 및 제 2 액티브 영역(120,130)을 지나는 부분과는 직교를 이루는 바람직하다. 이때, 각각의 제 1 및 제 2 액티브 영역(120,130)은 사선 형태의 돌출부(125,135)를 가지므로, 돌출부(125,135)를 지나는 제 1 및 제 2 게이트 전극(140,150) 역시 일부 사선 형태로 꺾여질 수 있다.

<43> 여기서, 제 1 게이트 전극(140)은 제 1 PMOS 트랜지스터(TP1) 및 제 1 NMOS 트랜지스터(TN1)의 공통 게이트 전극이면서, 제 2 액티브 영역(130)의 소정 부분 예를 들어 모서리 부분(137)과 오버랩되도록 연장된다. 이때, 제 1 게이트 전극(140)과 오버랩되는 제 2 액티브 영역(130)은 이후 제 2 인버터(INV2)의 출력 부분이 될 영역이다. 제 2 게이트 전극(150)은 제 2 PMOS 트랜지스터(TP2) 및 제 2 NMOS 트랜지스터(TN2)의 공통 게이트 전극이면서, 제 1 액티브 영역(120)의 소정 부분 예를 들어 모서리 부분(127)과 오버랩되도록 연장된다. 이때, 제 2 게이트 전극(150)과 오버랩되는 제 1 액티브 영역(120) 역시 제 1 인버터(INV1)의 출력 부분이 될 영역이다. 또한, 워드 라인(WL)은 예를 들어, 본 실시예에서는 "L"자형 바디부(121,131)의 수직 부분과 직교하도록 직선 형태로 배치될 수 있다.

<44> 제 1, 제 2 게이트 전극(140,150) 및 워드 라인(WL)의 양측의 제 1 및 제 2 액티브 영역(120,130)에 불순물이 주입되어, 접합 영역(122a,122b,122c,124a,124b,

132a, 132b, 132c, 134a, 134b)이 형성된다. 이때, 제 1 및 제 2 액티브 영역(120, 130)의 바디부(121, 131)에는 N타입 불순물, 예를 들어 인(phosphorus) 또는 비소(Arsenic) 이온이 주입될 수 있고, 제 1 및 제 2 액티브 영역(120, 130)의 돌출부(125, 135)에는 P타입 불순물, 예를 들어, 보론(boron)이 주입될 수 있다. 여기서, 도면 부호 122a는 제 1 NMOS 트랜지스터(TN1)의 소오스 영역을 나타내고, 122b는 제 1 NMOS 트랜지스터(TN1) 및 제 1 억세스 트랜지스터(TA1)의 공통 드레인 영역을 나타내고, 122c는 제 1 억세스 트랜지스터(TA1)의 소오스 영역을 나타낸다. 124a는 제 1 PMOS 트랜지스터(TP1)의 소오스 영역을 나타내고, 124b는 제 1 PMOS 트랜지스터(TP1)의 드레인 영역을 나타내며 이 부분은 제 1 NMOS 트랜지스터(TN1) 및 제 1 억세스 트랜지스터(TA1)의 공통 드레인과 접한다.

한편, 도면 부호 132a는 제 2 NMOS 트랜지스터(TN2)의 소오스 영역을 나타내고, 132b는 제 2 NMOS 트랜지스터(TN2) 및 제 2 억세스 트랜지스터(TA2)의 공통 드레인 영역을 나타내고, 132c는 제 2 억세스 트랜지스터(TA2)의 소오스 영역을 나타낸다. 134a는 제 2 PMOS 트랜지스터(TP2)의 소오스 영역을 나타내고, 134b는 제 2 PMOS 트랜지스터(TP2)의 드레인 영역을 나타내며, 이 부분은 제 2 NMOS 트랜지스터(TN2) 및 제 2 억세스 트랜지스터(TA2)의 공통 드레인과 접한다. 아울러, 도 5의 "P" 부분은 P형의 불순물이 이온 주입될 영역을 나타낸다.

<45> 또한, 제 1 액티브 영역(120)의 돌출부(125)가 분기되는 모서리 부분(127)은 제 1 PMOS 트랜지스터(TP1)의 드레인(124b), 제 2 NMOS 트랜지스터(TN1)의 드레인(122b) 및 제 1 억세스 트랜지스터(TA1)의 드레인(122b)이 공통으로 형성되는 영역으로, 제 1 인버터(INV1)의 출력 부분이 되면서 제 2 게이트 전극(150)과 오버랩된다. 아울러, 제 2 액티브 영역(130)의 돌출부(135)가 분기되는 모서리 부분(137) 역시 제 2 PMOS

트랜지스터(TP2)의 드레인(134b), 제 2 NMOS 트랜지스터(TN2)의 드레인(132b) 및 제 2 액세스 트랜지스터(TA2)의 드레인(132b)이 공통으로 형성되는 영역으로, 제 2 인버터(INV2)의 출력 부분이 되면서 제 1 게이트 전극(140)과 오버랩된다. 여기서, 모서리 부분(127,137)을 공통(혹은 공유) 영역(shared region)으로 명한다.

<46> 여기서, 본 실시예에서는 단절이 없는 하나의 액티브 영역(120,130)에 NMOS 트랜지스터 및 PMOS 트랜지스터가 모두 형성됨에 따라, P형 불순물 영역과 N형 불순물 영역이 맞닿는 영역이 발생된다. 예를 들어, 도 6에 도시된 바와 같이, 제 1 액티브 영역(120)에 형성되는 제 1 NMOS 트랜지스터(TN1)의 드레인 영역(122b)과 제 1 PMOS 트랜지스터(TP1)의 드레인 영역(124b)은 SOI 기판(100)의 실리콘층(107)상에 소자 분리막의 구비없이 서로 맞닿도록 형성된다. 그러나, 상기한 이들 불순물 영역에 등전위가 인가되는 경우, 전기적으로 문제가 발생되지 않는다. 여기서, 미설명 도면 부호 142는 실리콘층(107)과 게이트 전극(140) 사이에 개재되는 게이트 절연막이다. 이에따라, 각각의 액티브 영역(120,130)에, 워드 라인(WL)을 게이트 전극으로 이용하는 액세스 트랜지스터(TA1,TA2), 제 1 및 제 2 PMOS 트랜지스터(TP1,TP2) 및 제 1 및 제 2 NMOS 트랜지스터(TN1,TN2)가 완성된다.

<47> 또한, 도면의 미설명 부호 BLC는 제 1 액세스 트랜지스터(TA1)의 소오스와 비트 라인(BL)을 콘택시키기 위한 콘택 영역이고, DBLC는 제 2 액세스 트랜지스터(TA2)의 소오스와 비트 라인 바(DBL)를 콘택시키기 위한 콘택 영역이다. SC1,SC2는 액세스 트랜지스터의 드레인, PMOS 트랜지스터의 드레인, NMOS 트랜지스터의 드레인 및 게이트 전극이 동시에 콘택되는 공통(혹은 공유) 콘택 영역(shared contact region)을 나타낸다. 아울

러, Vdd는 이후 Vdd 라인(도시되지 않음)과 콘택될 영역이고, Vss는 이후 Vss 라인(도시되지 않음)과 콘택될 영역이고, WLC는 워드 라인 콘택 영역이다.

<48> 이와같은 본 발명의 에스램 디바이스는 SOI 기판상에 형성됨에 따라, 드라이브용 NMOS 트랜지스터와 부하용 PMOS 트랜지스터 및 액세스 트랜지스터를 하나의 액티브 영역에 집적시킬 수 있다. 이에따라, PMOS 트랜지스터와 NMOS 트랜지스터를 래치업 현상을 방지하기 위하여 일정 거리만큼 이격시킬 필요가 없으므로, 단위 에스램 셀이 차지하는 면적이 종래에 비하여 약 20 내지 25% 이상 감소시킬 수 있다.

<49> 또한, 본 실시예에 따른 에스램 디바이스는 공통(혹은 공유) 콘택 영역(SC1, SC2)의 채용으로, 콘택 개수 역시 감소하게 되어, 종래 기술에 비해 미세 패턴 형성시 공정 마진을 확보할 수 있게 된다.

<50> 또한, 본 발명의 에스램 디바이스는 상술한 바와 같이, PMOS 트랜지스터의 채널이 [110] 실리콘 결정면을 따라 배치됨에 따라, PMOS의 유효 이동도 및 전류 구동 특성이 개선된다.

<51> 이에 대하여 보다 자세히 설명하면 다음과 같다. 일반적으로 PMOS 트랜지스터의 주된 캐리어인 홀은 [110] 방향에서 이동도가 증대되어, [110] 방향으로 PMOS 트랜지스터의 채널을 배치시키면, 동작 속도가 2.5배정도 상승하게 된다고 보고된 바 있다. 이에따라, 본 실시예와 같이, 에스램 소자의 부하용 PMOS 트랜지스터에서 캐리어의 이동 방향을 [110] 실리콘 결정 방향으로 배치시키게 되면, 동작 속도 증대로 PMOS 트랜지스터의 자체 면적을 감소시킬 수 있다.

- <52> 보다 구체적으로 설명하면, 일반적으로 PMOS 트랜지스터는 NMOS 트랜지스터에 비하여 이동도가 낮으므로, 동작 속도가 느리다. 이러한 점을 보완하기 위하여 현재에는 PMOS 트랜지스터를 NMOS 트랜지스터에 비하여 3배정도 크게 형성하고 있는데, 이와 같이, PMOS 트랜지스터에서 캐리어 이동 방향을 [110] 방향을 따라 배치하게 되면, PMOS 트랜지스터의 전류 구동 능력이 약 2.5배정도 향상되어, PMOS 트랜지스터의 면적을 NMOS 트랜지스터의 크기 정도로 감소시킬 수 있게 된다.
- <53> 따라서, 본 실시예에 의하면 PMOS 트랜지스터의 면적뿐만 아니라 에스램 소자의 면적을 감소시킬 수 있다.
- <54> 도 7은 본 발명의 다른 실시예에 따른 에스램 디바이스의 평면도이다.
- <55> 도 7을 참조하여, SOI 기판(200)의 실리콘층의 소정 부분에 소자 분리막(210)이 형성되어, 제 1 액티브 영역(220) 및 제 2 액티브 영역(230)이 한정된다. 상술한 실시예와 마찬가지로, 제 1 액티브 영역(220)은 제 1 액세스 트랜지스터(TA1)와, 제 1 인버터(INV1)를 구성하는 제 1 PMOS 트랜지스터(TP1) 및 제 1 NMOS 트랜지스터(TN1)가 형성될 영역이고, 제 2 액티브 영역(230)은 제 2 액세스 트랜지스터(TA2)와, 제 2 인버터(INV2)를 구성하는 제 2 PMOS 트랜지스터(TP2) 및 제 2 NMOS 트랜지스터(TN2)가 형성될 영역이다. 제 1 및 제 2 액티브 영역(220,230)은 동일한 형상을 갖되, 180°회전된 형태로 배치된다. 아울러, 제 1 및 제 2 액티브 영역(220,230) 사이의 간격(B)은 반도체 소자들간의 전기적 특성을 확보할 수 있는 최단 거리(액티브 아이솔레이션 디자인 룰)에 해당하며, 종래의 NMOS 트랜지스터용 액티브 영역과 PMOS 트랜지스터용 액티브 영역간의 간격(A: 래치업을 방지하기 위한 디자인 룰)보다는 작다.

<56> 제 1 및 제 2 액티브 영역(220,230) 역시 돌출부(225,235)를 각각 포함한다. 돌출부(225,235)는 이후 PMOS 트랜지스터(TP1,TP2)가 형성될 영역으로, 사선 방향을 향하여 연장되되, 계단 형상을 갖는다. 본 실시예에서의 제 1 및 제 2 액티브 영역(220,230)은 예를 들어 "L"자형(180°회전된 L자형)의 바디부(221,231)와, 바디부(221,231)의 모서리 주변 부분으로부터 연장된 계단 형상의 돌출부(225,235)를 포함한다. 이때, 계단 형태의 돌출부(225,235)는 바디부(221,231)의 어느 한 면, 예를 들어 수평 부분과 평행할 수 있다.

<57> 제 1, 제 2 액티브 영역(220,230) 및 소자 분리막(210)의 소정 부분 상부에 제 1, 제 2 게이트 전극(240,250) 및 워드 라인(WL)이 배치된다. 제 1, 제 2 게이트 전극(240,250) 및 워드 라인(WL)은 제 1 및 제 2 액티브 영역(220,230)의 소정 부분을 지나며, 제 1 및 제 2 액티브 영역(220,230)을 지나는 부분과는 직교를 이루는 바람직하다. 이때, 제 1 및 제 2 게이트 전극(240,250)은 제 1 및 제 2 액티브 영역(220,230)의 바디부(221,231)의 수평 부분 및 그와 평행하는 돌출부(225,235)를 지나고, 예를 들어, 직선 형태를 갖는다.

<58> 이때, 제 1 게이트 전극(240)은 제 1 PMOS 트랜지스터(TP1) 및 제 1 NMOS 트랜지스터(TN1)의 게이트 전극이면서, 제 2 액티브 영역(230)의 소정 부분 예를 들어 모서리 부분(237)과 오버랩되도록 연장된다. 이때, 제 1 게이트 전극(240)과 오버랩되는 제 2 액티브 영역(230)은 이후 제 2 인버터(INV2)의 출력 부분(공통 드레인 영역)이 될 영역이다. 제 2 게이트 전극(250)은 제 2 PMOS 트랜지스터(TP2) 및 제 2 NMOS 트랜지스터(TN2)의 게이트 전극이면서, 제 1 액티브 영역(220)의 소정 부분 예를 들어 모서리 부분(227)

과 오버랩되도록 연장된다. 이때, 제 2 게이트 전극(250)과 오버랩되는 제 1 액티브 영역(220) 역시 제 1 인버터(INV1)의 출력 부분이 될 영역이다.

<59> 또한, 워드 라인(WL)은 제 1 및 제 2 액티브 영역(220,230)의 바디부(221,231)의 소정 부분을 지나도록 연장된다. 예를 들어, 본 실시예에서는 "L"자형 바디부(221,231)의 수직 부분과 직교하도록 직선 형태로 배치될 수 있다.

<60> 제 1, 제 2 게이트 전극(240,250) 및 워드 라인(WL)의 양측의 제 1 및 제 2 액티브 영역(220,230)에 불순물이 주입되어, 접합 영역이 형성된다. 이때, 제 1 및 제 2 액티브 영역(220,230)의 바디부(221,231)에는 N타입 불순물, 예를 들어 인 또는 비소 이온이 주입되고, 제 1 및 제 2 액티브 영역(220,230)의 돌출부(225,235)에는 P타입 불순물, 예를 들어, 보론이 주입될 수 있다. 이에따라, 각각의 액티브 영역(220,230)에, 워드 라인(WL)을 게이트 전극으로 이용하는 액세스 트랜지스터(TA1,TA2), 제 1 및 제 2 PMOS 트랜지스터(TP1,TP2) 및 제 1 및 제 2 NMOS 트랜지스터(TN1,TN2)가 완성된다.

<61> 상술한 실시예와 마찬가지로, 제 1 액티브 영역(120)의 돌출부(125)가 분기되는 모서리 부분(127)이 각 트랜지스터의 공유 영역이 된다. 아울러, 각각의 콘택 영역들은 상술한 실시예와 동일하다.

<62> 본 실시예 역시 에스램 디바이스가 SOI 기판상에 형성됨에 따라, 드라이브용 NMOS 트랜지스터와 부하용 PMOS 트랜지스터 및 액세스 트랜지스터를 하나의 액티브 영역에 집적시킬 수 있다. 이에따라, 에스램 디바이스의 면적을 감축시킬 수 있다.

【발명의 효과】

- <63> 이상에서 자세히 설명한 바와 같이, 본 발명에 의하면, CMOS 타입의 에스램 디바이스를 SOI 기판에 형성한다. 이에따라, 하나의 액티브 영역에 NMOS 트랜지스터 및 PMOS 트랜지스터를 동시에 집적시킬 수 있으므로, NMOS 트랜지스터와 PMOS 트랜지스터간을 분리하기 위한 별도 거리 확보가 요구되지 않는다. 더불어, 웰 형성 공정이 요구되지 않으므로, 공정을 단순화시킬 수 있다.
- <64> 또한, 본 발명에 의하면, 액세스용 NMOS 트랜지스터의 드레인(또는 소오스), 드라이브용 NMOS 트랜지스터의 드레인 및 부하용 PMOS 트랜지스터의 드레인이 소정 영역에서 공통(혹은 공유) 콘택이 이루어지므로, 콘택 개수를 감소시킬 수 있다.
- <65> 또한, 본 발명에 있어서, PMOS 트랜지스터의 채널 영역에서 캐리어의 이동방향이 [110] 실리콘 결정 방향을 따라 형성되므로, PMOS 트랜지스터의 이동도 및 전류 구동 능력을 향상시킬 수 있다. 이에따라, PMOS 트랜지스터의 면적을 감소시킬 수 있다.
- <66> 이상 본 발명을 바람직한 실시예를 들어 상세하게 설명하였으나, 본 발명은 상기 실시예에 한정되지 않고, 본 발명의 기술적 사상의 범위 내에서 당 분야에서 통상의 지식을 가진 자에 의하여 여러가지 변형이 가능하다.

【특허청구범위】**【청구항 1】**

제 1 및 제 2 액세스용 NMOS 트랜지스터와, 제 1 및 제 2 액세스용 NMOS 트랜지스터의 동작에 따라 선택적으로 턴온되는 제 1 및 제 2 인버터를 구성하는 제 1 및 제 2 드라이브용 NMOS 트랜지스터 및 제 1 및 제 2 부하용 PMOS 트랜지스터로 구성되는 에스램 디바이스로서,

상기 각각의 트랜지스터들은 SOI 기판상의 액티브 영역에 형성되고,

상기 PMOS 트랜지스터가 형성되는 액티브 영역은 상기 NMOS 트랜지스터가 형성되는 액티브 영역과 소정 각도를 이루는 방향으로 신장되는 것을 특징으로 하는 에스램 디바이스.

【청구항 2】

제 1 항에 있어서, 상기 소정 각도는 30° 내지 60° 인 것을 특징으로 하는 에스램 디바이스.

【청구항 3】

제 1 항에 있어서, 상기 소정 각도는 45° 인 것을 특징으로 하는 에스램 디바이스.

【청구항 4】

제 1 항에 있어서, 상기 액티브 영역은,

상기 제 1 액세스용 NMOS 트랜지스터, 및 제 1 드라이브용 NMOS 트랜지스터 및 제 1 부하용 PMOS 트랜지스터로 구성되는 제 1 인버터가 형성되는 제 1 액티브 영역; 및

상기 제 2 액세스용 NMOS 트랜지스터, 및 제 2 드라이브용 NMOS 트랜지스터 및 제 2 부하용 PMOS 트랜지스터로 구성되는 제 2 인버터가 형성되는 제 2 액티브 영역을 포함하는 것을 특징으로 하는 에스램 디바이스.

【청구항 5】

제 4 항에 있어서, 상기 제 1 액티브 영역에 형성되는 상기 제 1 NMOS 트랜지스터의 드레인 영역 및 상기 제 1 PMOS 트랜지스터의 드레인 영역, 및/또는 상기 제 2 액티브 영역에 형성되는 제 2 NMOS 트랜지스터의 드레인 영역 및 상기 제 2 PMOS 트랜지스터의 드레인 영역은 각각 상기 SOI 기판의 실리콘 기판층상에 소자 분리막의 구비없이 서로 맞닿아 있는 것을 특징으로 하는 에스램 디바이스.

【청구항 6】

제 1 항 또는 제 5 항에 있어서, 상기 제 1 및/또는 제 2 액티브 영역에 형성되는 액세스용 NMOS 트랜지스터의 드레인(또는 소오스)과 드라이브용 NMOS 트랜지스터의 드레인 및 부하용 PMOS 트랜지스터의 드레인은 공통 콘택을 통해서 전기적으로 연결되고,

상기 제 2 액티브 영역에 형성되는 액세스용 NMOS 트랜지스터의 드레인(또는 소오스)과 드라이브용 NMOS 트랜지스터의 드레인 및 부하용 PMOS 트랜지스터의 드레인은 공통 콘택을 통해서 전기적으로 연결되는 것을 특징으로 하는 에스램 디바이스.

【청구항 7】

반도체 기판;

상기 반도체 기판상에 형성되며, 제 1 액세스용 NMOS 트랜지스터, 및 제 1 드라이브용 NMOS 트랜지스터 및 제 1 부하용 PMOS 트랜지스터로 구성되는 제 1 인버터가 형성되는 제 1 액티브 영역;

상기 반도체 기판상에 형성되며, 제 2 액세스용 NMOS 트랜지스터, 및 제 2 드라이브용 NMOS 트랜지스터 및 제 2 부하용 PMOS 트랜지스터로 구성되는 제 2 인버터가 형성되는 제 2 액티브 영역을 포함하며,

상기 PMOS 트랜지스터가 형성되는 각각의 액티브 영역은 각각의 NMOS 트랜지스터가 형성되는 액티브 영역에 대하여 소정 각도를 이루는 방향으로 신장되는 것을 특징으로 하는 에스램 디바이스.

【청구항 8】

제 7 항에 있어서, 상기 소정 각도는 30° 내지 60° 인 것을 특징으로 하는 에스램 디바이스.

【청구항 9】

제 7 항에 있어서, 상기 소정 각도는 45° 인 것을 특징으로 하는 에스램 디바이스.

【청구항 10】

제 7 항에 있어서, 상기 제 1 액티브 영역에 형성되는 상기 제 1 NMOS 트랜지스터의 드레인 영역 및 상기 제 1 PMOS 트랜지스터의 드레인 영역, 및/또는 상기 제 2 액티브 영역에 형성되는 제 2 NMOS 트랜지스터의 드레인 영역 및 상기 제 2 PMOS 트랜지스터의 드레인 영역은 각각 상기 SOI 기판의 실리콘 기판층상에 소자 분리막의 구비없이 서로 맞닿아 있는 것을 특징으로 하는 에스램 디바이스.

【청구항 11】

제 7 항 또는 제 10 항에 있어서, 상기 제 1 및/또는 제 2 액티브 영역에 형성되는 액세스용 NMOS 트랜지스터의 드레인(또는 소오스)과 드라이브용 NMOS 트랜지스터의 드레인 및 부하용 PMOS 트랜지스터의 드레인은 공통 콘택을 통해서 전기적으로 연결되고,

상기 제 2 액티브 영역에 형성되는 액세스용 NMOS 트랜지스터의 드레인(또는 소오스)과 드라이브용 NMOS 트랜지스터의 드레인 및 부하용 PMOS 트랜지스터의 드레인은 공통 콘택을 통해서 전기적으로 연결되는 것을 특징으로 하는 에스램 디바이스.

【청구항 12】

제 11 항에 있어서, 상기 반도체 기판은 SOI 기판인 것을 특징으로 하는 에스램 디바이스.

【청구항 13】

제 1 및 제 2 액세스용 NMOS 트랜지스터와, 제 1 및 제 2 액세스용 NMOS 트랜지스터의 동작에 따라 선택적으로 턴온되는 제 1 및 제 2 인버터를 구성하는 제 1 및 제 2 드라이브용 NMOS 트랜지스터 및 제 1 및 제 2 부하용 PMOS 트랜지스터로 구성되는 에스램 디바이스로서,

SOI 기판;

상기 SOI 기판 상에 형성되며, 제 1 액세스용 NMOS 트랜지스터, 및 제 1 드라이브용 NMOS 트랜지스터 및 제 1 부하용 PMOS 트랜지스터로 구성되는 제 1 인버터가 형성되는 제 1 액티브 영역; 및

상기 SOI 기판 상에 형성되며, 상기 제 2 액세스용 NMOS 트랜지스터, 및 제 2 드라이브용 NMOS 트랜지스터 및 제 2 부하용 PMOS 트랜지스터로 구성되는 제 2 인버터가 형성되는 제 2 액티브 영역을 포함하고,

상기 PMOS 트랜지스터가 형성되는 액티브 영역은 상기 NMOS 트랜지스터가 형성되는 액티브 영역과 소정의 각도를 이루는 방향으로 신장되는 것을 특징으로 하는 에스램 디바이스.

【청구항 14】

제 13 항에 있어서, 상기 소정 각도는 30° 내지 60° 인 것을 특징으로 하는 에스램 디바이스.

【청구항 15】

제 13 항에 있어서, 상기 소정 각도는 45° 인 것을 특징으로 하는 에스램 디바이스.

【청구항 16】

제 1 및 제 2 액세스용 NMOS 트랜지스터와, 제 1 및 제 2 액세스용 NMOS 트랜지스터의 동작에 따라 선택적으로 턴온되는 제 1 및 제 2 인버터를 구성하는 제 1 및 제 2 드라이브용 NMOS 트랜지스터 및 제 1 및 제 2 부하용 PMOS 트랜지스터로 구성되는 에스램 디바이스로서,

SOI 기판;

상기 SOI 기판 상에 형성되며, 제 1 액세스용 NMOS 트랜지스터, 및 제 1 드라이브용 NMOS 트랜지스터 및 제 1 부하용 PMOS 트랜지스터로 구성되는 제 1 인버터가 형성되는 제 1 액티브 영역; 및

상기 SOI 기판 상에 형성되며, 상기 제 2 억세스용 NMOS 트랜지스터, 및 제 2 드라이브용 NMOS 트랜지스터 및 제 2 부하용 PMOS 트랜지스터로 구성되는 제 2 인버터가 형성되는 제 2 액티브 영역을 포함하고,

상기 PMOS 트랜지스터가 형성되는 액티브 영역은 상기 NMOS 트랜지스터가 형성되는 액티브 영역과 소정의 각도를 이루는 방향으로 신장되며,

상기 제 1 및/또는 제 2 액티브 영역에 형성되는 억세스용 NMOS 트랜지스터의 드레인(또는 소오스)과 드라이브용 NMOS 트랜지스터의 드레인 및 부하용 PMOS 트랜지스터의 드레인은 공통 콘택을 통해서 전기적으로 연결되고,

상기 제 2 액티브 영역에 형성되는 억세스용 NMOS 트랜지스터의 드레인(또는 소오스)과 드라이브용 NMOS 트랜지스터의 드레인 및 부하용 PMOS 트랜지스터의 드레인은 공통 콘택을 통해서 전기적으로 연결되는 것을 특징으로 하는 에스램 디바이스.

【청구항 17】

제 16 항에 있어서, 상기 소정 각도는 30° 내지 60° 인 것을 특징으로 하는 에스램 디바이스.

【청구항 18】

제 16 항에 있어서, 상기 소정 각도는 45° 인 것을 특징으로 하는 에스램 디바이스.

【청구항 19】

제 1 및 제 2 억세스용 NMOS 트랜지스터와, 제 1 및 제 2 억세스용 NMOS 트랜지스터의 동작에 따라 선택적으로 턴온되는 제 1 및 제 2 인버터를 구성하는 제 1 및 제 2

드라이브용 NMOS 트랜지스터 및 제 1 및 제 2 부하용 PMOS 트랜지스터로 구성되는 에스램 디바이스로서,

SOI 기판;

상기 SOI 기판 상에 형성되며, 제 1 액세스용 NMOS 트랜지스터, 및 제 1 드라이브용 NMOS 트랜지스터 및 제 1 부하용 PMOS 트랜지스터로 구성되는 제 1 인버터가 형성되는 제 1 액티브 영역; 및

상기 SOI 기판 상에 형성되며, 상기 제 2 액세스용 NMOS 트랜지스터, 및 제 2 드라이브용 NMOS 트랜지스터 및 제 2 부하용 PMOS 트랜지스터로 구성되는 제 2 인버터가 형성되는 제 2 액티브 영역을 포함하고,

상기 PMOS 트랜지스터가 형성되는 액티브 영역은 상기 NMOS 트랜지스터가 형성되는 액티브 영역과 45°를 이루고,

상기 제 1 및/또는 제 2 액티브 영역에 형성되는 액세스용 NMOS 트랜지스터의 드레인(또는 소오스)과 드라이브용 NMOS 트랜지스터의 드레인 및 부하용 PMOS 트랜지스터의 드레인은 공통 콘택을 통해서 전기적으로 연결되고,

상기 제 2 액티브 영역에 형성되는 액세스용 NMOS 트랜지스터의 드레인(또는 소오스)과 드라이브용 NMOS 트랜지스터의 드레인 및 부하용 PMOS 트랜지스터의 드레인은 공통 콘택을 통해서 전기적으로 연결되는 것을 특징으로 하는 에스램 디바이스.

【청구항 20】

제 1 및 제 2 액세스용 NMOS 트랜지스터와, 제 1 및 제 2 액세스용 NMOS 트랜지스터의 동작에 따라 선택적으로 턴온되는 제 1 및 제 2 인버터를 구성하는 제

1 및 제 2 드라이브용 NMOS 트랜지스터 및 제 1 및 제 2 부하용 PMOS 트랜지스터로 구성되는 에스램 디바이스로서,

상기 각각의 트랜지스터들은 SOI 기판상의 액티브 영역에 형성되고,

상기 PMOS 트랜지스터가 형성되는 액티브 영역은 상기 NMOS 트랜지스터가 형성되는 액티브 영역과 소정 각도를 이루는 방향을 향해 계단 형태로 신장되는 것을 특징으로 하는 에스램 디바이스.

【청구항 21】

제 20 항에 있어서, 상기 PMOS 트랜지스터가 형성되는 액티브 영역은 상기 드라이브용 NMOS 트랜지스터가 형성되는 액티브 영역과 상기 액세스용 NMOS 트랜지스터가 형성되는 액티브 영역이 만나는 모서리 주변으로 부터 신장되는 것을 특징으로 하는 에스램 디바이스.

【청구항 22】

제 21 항에 있어서, 상기 PMOS 트랜지스터가 형성되는 액티브 영역은 상기 드라이브용 NMOS 트랜지스터가 형성되는 액티브 영역과 실질적으로 평행한 방향으로 신장되는 것을 특징으로 하는 에스램 디바이스.

【청구항 23】

제 20 항에 있어서, 상기 액티브 영역,

상기 제 1 액세스용 NMOS 트랜지스터, 및 제 1 드라이브용 NMOS 트랜지스터 및 제 1 부하용 PMOS 트랜지스터로 구성되는 제 1 인버터가 형성되는 제 1 액티브 영역; 및

상기 제 2 액세스용 NMOS 트랜지스터, 및 제 2 드라이브용 NMOS 트랜지스터 및 제 2 부하용 PMOS 트랜지스터로 구성되는 제 2 인버터가 형성되는 제 2 액티브 영역을 포함하는 것을 특징으로 하는 에스램 디바이스.

【청구항 24】

제 23 항에 있어서, 상기 제 1 액티브 영역에 형성되는 상기 제 1 NMOS 트랜지스터의 드레인 영역 및 상기 제 1 PMOS 트랜지스터의 드레인 영역, 및/또는 상기 제 2 액티브 영역에 형성되는 제 2 NMOS 트랜지스터의 드레인 영역 및 상기 제 2 PMOS 트랜지스터의 드레인 영역은 각각 SOI 기판의 실리콘 기판층상에 소자 분리막의 구비없이 서로 맞닿아 있는 것을 특징으로 하는 에스램 디바이스.

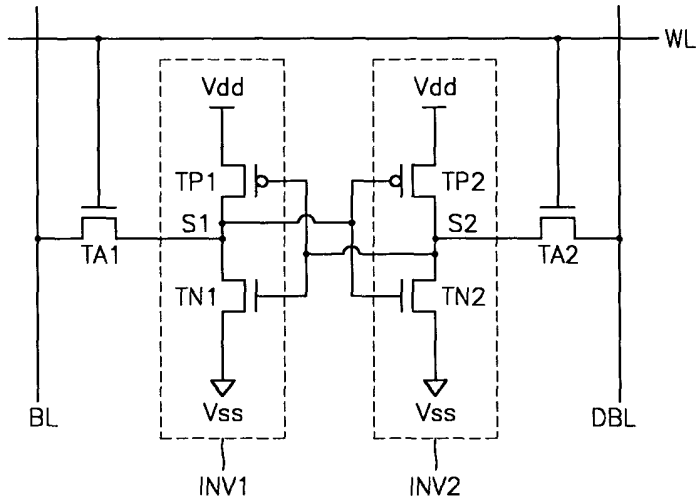
【청구항 25】

제 20 항 또는 제 24 항에 있어서, 상기 제 1 및/또는 제 2 액티브 영역에 형성되는 액세스용 NMOS 트랜지스터의 드레인(또는 소오스)과 드라이브용 NMOS 트랜지스터의 드레인 및 부하용 PMOS 트랜지스터의 드레인은 공통 콘택을 통해서 전기적으로 연결되고

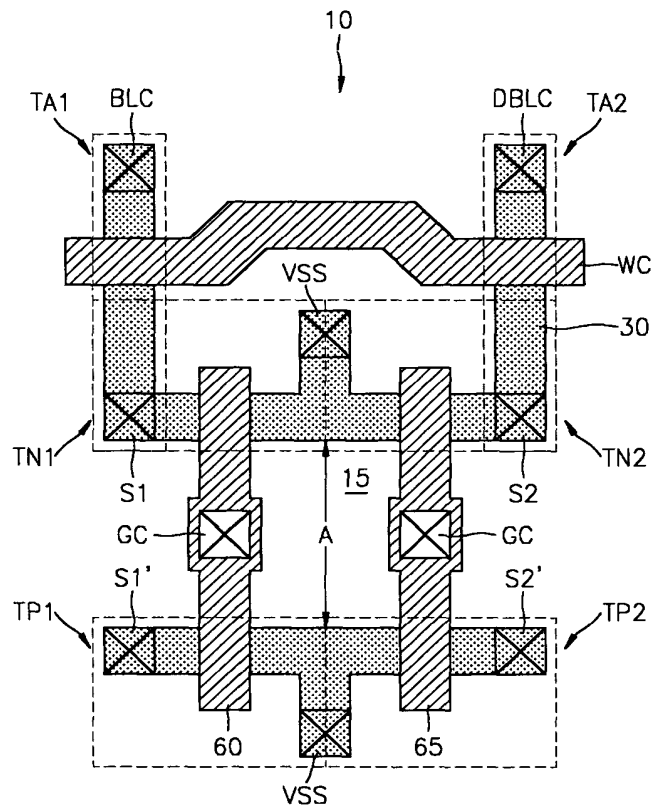
상기 제 2 액티브 영역에 형성되는 액세스용 NMOS 트랜지스터의 드레인(또는 소오스)과 드라이브용 NMOS 트랜지스터의 드레인 및 부하용 PMOS 트랜지스터의 드레인은 공통 콘택을 통해서 전기적으로 연결되는 것을 특징으로 하는 에스램 디바이스.

【도면】

【도 1】



【도 2】



【도 3】

출력 일자: 2002/12/20

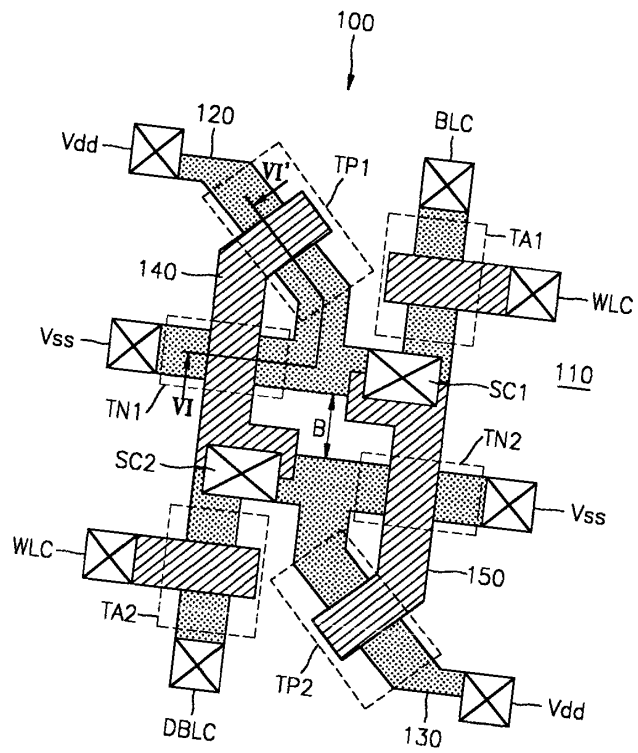
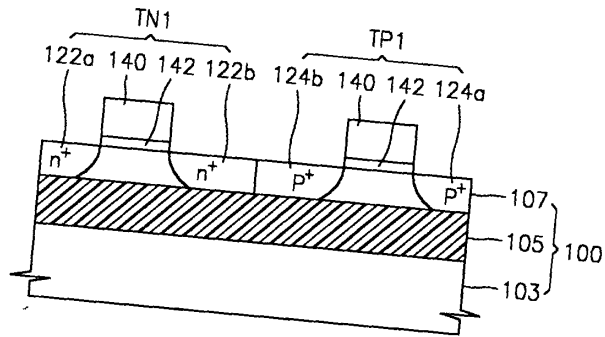


Figure 1 is a perspective view of a first substrate 110 and a second substrate 120 joined by a solder bump 130. The first substrate 110 is positioned below the second substrate 120. The solder bump 130 is located at the interface between the two substrates, comprising a solder layer 131 and a solder cap 135. A dashed circle 127 is shown on the second substrate 120, and a dimension line B indicates the distance between the substrates.

This diagram shows a cross-sectional view of a semiconductor device. A central vertical structure is formed by a stack of layers: a bottom layer 130 (hatched), a layer 132c (dotted), a layer 132b (dotted), a layer 132a (dotted), and a top layer 134a (hatched). This central stack is flanked by side regions 134b (hatched) and 134c (hatched). A gate structure 120 is positioned on top of the central stack, consisting of a layer 122c (dotted) and a layer 122b (hatched). The gate structure is connected to a word line (WL) on the left. Various other layers and regions are labeled: 124a and 124b (dotted) at the top, 122a (dotted) on the left, 127 (dotted) on the right, and 137 (dotted) on the left. The device is surrounded by a substrate 150. The top and bottom surfaces are labeled P, and the side surfaces are labeled P⁺. The central stack is labeled 140.

【도 6】



【도 7】

